

Секція 2.RT (Інтернет речей, системи реального часу). Section 2. RT (Internet of Things, Real-Time Systems).

УДК 004.383

Анатолій Сергієнко,
Кадір Сафван Хусейн,
Анастасія Сергієнко

ФІЛЬТРИ ЗІ СКІНЧЕННОЮ ХАРАКТЕРИСТИКОЮ З МІНІМІЗОВАНИМИ АПАРАТНИМИ ВИТРАТАМИ

MINIMIZEDHARDWAREFIRFILTERDESIGN

Розглядається розробка паралельних нерекурсивних фільтрів, які реалізуються в програмованих логічних інтегральних схемах. Новий метод полягає в тому, що блоки множення на коефіцієнти, які мають невелику амплітуду, замінюються на блоки постійної пам'яті, які зберігають кратні значення цих коефіцієнтів. За рахунок цього зменшуються апаратні витрати на реалізацію фільтра та збільшується його пропускна спроможність.

Ключові слова: ПЛІС, нерекурсивний фільтр, конвеєр.

Рис.: 3. Табл.:1. Бібл.: 4.

The development of the parallel finite impulse response filters for the FPGA implementation is considered. A new method consists in substituting the multipliers to the small coefficients to the constant coefficient multipliers, which store the multiplied values of these coefficients. Due to this, the filter hardware volume is minimized and its throughput is increased.

Key words: FPGA, FIR filter, pipeline.

Fig.: 3. Tabl.:1. Bibl.: 4.

Вступ. Програмовані логічні інтегральні схеми (ПЛІС) широко використовуються для високошвидкісної обробки цифрових сигналів. Архітектура ПЛІС адаптована до реалізації фільтрів зі скінченною імпульсною характеристикою (СІХ). Для цього, наприклад, ПЛІС фірми Xilinx містять блоки DSP48, кожен з яких призначений для розрахунку одного ступеня СІХ-фільтра в конвеєрному режимі. Але порядок такого фільтра обмежений об'ємом ПЛІС та кількістю блоків DSP48 в одному стовпці елементів мікросхеми. Як результат, порядок СІХ-фільтра, який генерується утилітою Xilinx Coregen для ПЛІС Spartan-6, обмежена діапазоном від 8 до 48 [1]. Крім того, якщо ПЛІС використовується лише для фільтрації, то в ній неефективного використовується решта програмованих ресурсів, таких як конфігуровані логічні блоки та їх логічні таблиці (ЛТ).

Існує багато методів реалізації СІХ-фільтрів, які не мають блоків множення. Більшість із них використовують схеми множення на константу (СМК), які мають мінімізований об'єм апаратного забезпечення. Вони широко використовуються у ПЛІС протягом десятиліть. При цьому такі фільтри зовсім не застосовують апаратні блоки множення, які входять у склад блоків DSP48 [2,3,4].

У роботі запропоновано новий підхід до розробки СІХ-фільтра, який використовує як апаратні блоки множення, так і СМК. Він забезпечує як збільшення порядку фільтра, так і мінімізовані апаратні витрати, а також підтримує високу пропускну здатність фільтра.

Структура СІХ-фільтра. СІХ-фільтр, який призначений для реалізації у ПЛІС фірми Xilinx FPGA, має відому систолічну структуру [1]. Граф синхронних потоків даних (ГСПД) систолічної структури фільтра k -го порядку показана на рис.1, а його умовне зображення — на рис.1, б. Тут x_i , y_i є вхідними та вихідними даними, кола, трикутники та товсті відрізки представляють собою додавання, множення на коефіцієнт і затримку на один такт, відповідно. Цей граф відображається у відповідну паралельну конвеєрну структуру з максимальною тактовою частотою за допомогою відображення один до одного.

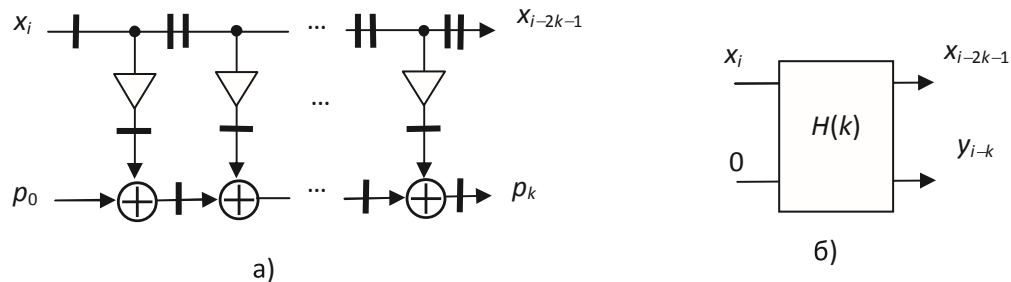


Рис. 1. ГСПД систолічного СІХ-фільтра (а) та його умовне зображення (б)

Набір коефіцієнтів СІХ-фільтра n -го порядку формує його імпульсну характеристику $H(n)$. Пропонується реалізувати СІХ-фільтр з трьох блоків, які обчислюють згортку з лівою $H_1(n_l)$, середньою $H_2(n_m)$ та правою $H_3(n_r)$ підмножинами коефіцієнтів, $n = n_l + n_m + n_r$. Відповідний модернізований ГСПД показано на рис.2. У більшості випадків розрядність коефіцієнтів $H_1(n_l)$ та $H_3(n_r)$ набагато менше, ніж коефіцієнтів $H_2(n_m)$. Тому бажано реалізувати частину фільтра, позначену на рис.2 як $H_2(n_m)$, використовуючи блоки DSP48, а решту фільтра — з використанням СМК.

Третій блок фільтра, який стоїть останнім у графі на рис.2, повинен мати підвищену розрядність проміжних результатів, щоб зберегти низький рівень помилок від їх усікання. Це може суттєво знизити ефективність фільтра, оскільки багаторозрядний суматор на основі ЛТ є значно повільнішим, ніж відповідний суматор у блоці DSP48.

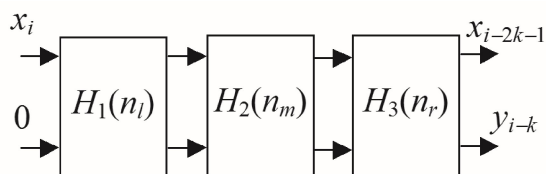


Рис. 2. Модернізований ГСПД фільтра

Щоб звести до мінімуму цей фактор, запропоновано удосконалений ГСПД, який показано на рис.3. Відповідний удосконалений фільтр містить дві частини $H_1(n_l)$ та $H_3(n_r)$ з однаковою розрядністю, яка набагато менша, ніж розрядність операндів блоку DSP48. Результат фільтрації формується в окремому суматорі

зі збільшеною розрядністю. Як результат, розроблений СІХ-фільтр містить лише n_m блоків DSP48, яких може бути набагато менше, ніж порядок фільтра n .

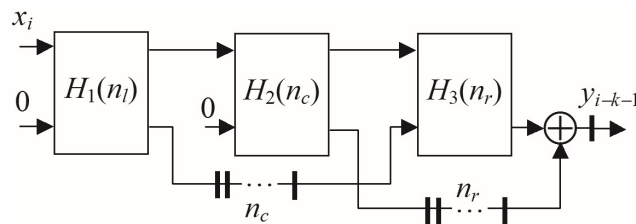


Рис. 3. Удосконалений ГСПД фільтра

Експериментальні результати. Для оцінки ефективності НІХ-фільтрів з запропонованою структурою, було випробувано три реалізації фільтрів нижніх частот порядку $n = 35$, коефіцієнти, входні та вихідні дані яких мають розрядність 16. При цьому СМК були побудовані з використанням представлення коефіцієнтів у канонічній двійковій системі числення [4], причому дерево суматорів СМК має не більше п'яти входних складових. За цими умовами, перший та третій блоки фільтрів (див. рис. 2, 3) мають як мінімізовані апаратні витрати, так і високу пропускну здатність.

ГСПД, представлені на рис. 1-3 були описані мовою VHDL. Потім проекти фільтрів були синтезовані для ПЛІС Xilinx Spartan-6. Результати синтезу для деяких фільтрів низьких частот показані в таблиці 1. Щоб визначити інтегральну характеристику апаратних витрат Q , вважалося, що для реалізації 18-розрядного блоку множення, що входить у склад блоку DSP48, потрібно 200 ЛТ.

Таблиця 1

Параметри СІХ-фільтрів

Структура фільтра	Апаратні витрати				Максимальна частота f_c , МГц	f_c/Q
	ЛТ	Тригерів	DSP48	Q		
Систолічна, рис.1	0	0	33	33	390	11.8
Модернізована, рис.2	772	1538	17	20,9	146	7.0
Удосконалена, рис.3	914	1639	17	21,6	267	12.4

Аналіз таблиці показує, що структура фільтра на базі лише блоків DSP48 забезпечує максимальну тактову частоту дискретизації f_c за рахунок збільшених еквівалентних апаратних витрат Q . Модернізована структура має меншу величину f_c , але забезпечує мінімальний обсяг апаратного забезпечення. І удосконалена структура має менші апаратні витрати ніж систолічна, а її відношення пропускну здатності до апаратних витрат f_c/Q досягає максимуму.

Висновки. Запропоновано модернізацію та удосконалення систолічної структури цифрового фільтра зі скінченною імпульсною характеристикою, яка реалізована у ПЛІС. Модернізація полягає в тому, що в структурі використовуються як універсальні апаратні блоки множення, так і блоки монження на коефіцієнт, які реалізовані на основі суматорів. Нова структура фільтрів забезпечує як оптимальне відношення пропускну здатності до апаратних витрат,

так і збільшення максимального порядку реалізованих фільтрів. Одержані фільтри описані мовою VHDL і мають приблизно удвічі менше число блоків множення, ніж фільтри, які згенеровані програмою Xilinx Coregen.

Список використаних джерел

1. Spartan-6 FPGA DSP48A1 Slice User Guide. UG389 (v1.2) / Xilinx Inc. / May 29, 2014. — 46 p.
2. Meyer-Baese. U. Digital Signal Processing with Field Programmable Gate Arrays. Springer, 4-th Ed. 2014. — 930 p.
3. Sergiyenko A. FIR filters software generator / A. Sergiyenko, V. Vasylienko, O. Maslennikov // *Prace IV Konferencji Krajowej „Reprogramowalne układy cyfrowe”*, RUC'2001. — Szczecin, Poland. 2001. — P. 167-172.
4. Kumm M. Multiple Constant Multiplication Optimizations for Field Programmable Gate Arrays. Springer, 2016. — 206 p.

ДОВІДКА ПРО АВТОРІВ

Сергієнко Анатолій Михайлович – доцент, кафедра обчислювальної техніки, Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського».

Sergiyenko Anatoliy – associate professor, Department of Computer Engineering, National Technical University of Ukraine “Igor Sikorsky Kyiv Polytechnic Institute”.

E-mail: aser@comsys.kpi.ua

Кадір Сафван Хусейн – студент, кафедра обчислювальної техніки, Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського».

Mustafa Rekar Quasim – student, Department of Computer Engineering, National Technical University of Ukraine “Igor Sikorsky Kyiv Polytechnic Institute”.

E-mail: safwan.h.qadir@gmail.com

Анастасія Анатоліївна Сергієнко – студентка, кафедра системного програмування та спеціалізованих комп’ютерних систем, Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського».

Anastasia Anatoliivna Serhienko – student, Department of System Programming and Application Specific Computer Systems, National Technical University of Ukraine “Igor Sikorsky Kyiv Polytechnic Institute”.

E-mail: ananserr@gmail.com

Anatoliy Sergiyenko,
Quadir Safwan Hussein,
Anastasia Serhienko

FINITE IMPULSE RESPONSE FILTERS WITH A MINIMIZED HARDWARE

Relevance of research topic. Field programmable gate arrays (FPGAs) are widely used for the high-speed digital signal processing, in particular for the signal processing by the finite impulse response(FIR) filters. In order to increase the efficiency of the use of the FPGA configurable resources and reduce their energy consumption, it is necessary to introduce more perfect structures of the FIR filters.

Problem consists in, one hand, large configurable resources of modern FPGAs, other hand, ineffective resource utilization in the filters which are configured in FPGAs using the usual methods.

Analysis of recent research and publications. Implementation of the FIR filters in FPGA is usually based on the use of the multiplication blocks. At the same time, the rest of the programmable resources is used irrationally.

Selection of unexplored parts of the general problem. This article is devoted to the study and implementation of the IIR filters in FPGAs. Such filters use both hardware multiplication blocks, and application specific multiplication blocks based on the configurable FPGA resources.

Setting objectives. The goal is to improve the FIR filter structure and its multiplication blocks in order to increase the effectiveness of the FPGA resource utilization.

Presentation of the main material. The modernization and improvement of the systolic structure of the digital FIR filter, which is implemented in the FPGA, is proposed. The modernization consists in the fact that universal hardware multiplication blocks, and constant coefficient multipliers are coexist in the structure. And the last multipliers are implemented on the basis of adders. The new filter structure provides both the optimal ratio of bandwidth to hardware costs and an increase in the maximum order of implemented filters. The resulting filters are described in VHDL and have approximately double the number of multiplication blocks than the filters generated by the Xilinx Coregen tool.

Conclusions. The proposed structure of the FIR filter provides the optimal ratio of bandwidth to hardware costs, as well as increasing the maximum order of the filters implemented in FPGA. The resulting filters are described in VHDL and have approximately double the number of multiplication blocks than the filters generated by the Xilinx Coregen program.

Key words: FPGA, FIR filter, pipeline.