

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ імені ІГОРЯ СІКОРСЬКОГО»
Факультет інформатики та обчислювальної техніки**

Комп'ютерна схемотехніка – 1. Комп'ютерна схемотехніка

Методичні вказівки до моделювання мікропроцесорних пристроїв при виконанні лабораторних робіт для студентів напрямку 6.050102 (123)
«Комп'ютерна інженерія»
Кафедра обчислювальної техніки

*Рекомендовано вченою радою факультету інформатики та
обчислювальної техніки НТУУ «КПІ»*



Київ- 2017

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ імені ІГОРЯ СІКОРСЬКОГО»
Факультет інформатики та обчислювальної техніки

Комп'ютерна схемотехніка – 1. Комп'ютерна схемотехніка

Методичні вказівки до моделювання мікропроцесорних пристроїв при виконанні лабораторних робіт для студентів напрямку 6.050102 (123)
«Комп'ютерна інженерія»
Кафедра обчислювальної техніки

Ухвалено методичною комісією
ФІОТ

Протокол від 25.09. 2017 р. № 2
Голова методичної комісії

_____ І.П. Муха
(підпис) (ініціали, прізвище)

« _____ » _____ 2017р.

УДК 681.3

ББК 0513-048р

К

Комп'ютерна схемотехніка-1. Комп'ютерна схемотехніка: Методичні вказівки до моделювання мікропроцесорних пристроїв при виконанні лабораторних робіт для студентів напрямку підготовки 6.050102 (123) «Комп'ютерна інженерія» / О. М. Долголенко, В. І. Корнійчук, С. В. Аксьоненко, -К.: НТУУ «КПІ», 2017. –17 с.

*Гриф надано вченою радою ФІОТ
(протокол №1 від 25.09. 2017 р.)*

Методичні вказівки вміщують завдання до моделювання мікропроцесорних пристроїв, розроблених в лабораторних роботах по кредитному модулю «Комп'ютерна схемотехніка». Наведені варіанти завдань. До кожної роботи надається необхідний теоретичний матеріал і перелік рекомендованої літератури. Призначені для студентів напрямку підготовки 6.050102 (123) «Комп'ютерна інженерія».

Навчальне електронне видання

Укладачі: *Долголенко Олександр Миколайович, к. т. н., с.н.с., ст. викл.
Корнійчук Віктор Іванович, к.т.н., доцент, доцент.
Аксьоненко Сергій Володимирович, н.с.*

Відповідальний

редактор: *Луцький Г.М., д.т.н., професор, професор*

Рецензенти:

*Симоненко В.П., д.т.н., професор, професор
Новацький А.О., к.т.н, доцент кафедри АУТС*

За редакцією авторів

ЗМІСТ

ВСТУП.....	5
1.МЕТОДИЧНІ ВКАЗІВКИ ЩО ДО ВИКОНАННЯ ЛАБОРАТОРНИХ РОБІТ.....	6
1.1 Мета циклу лабораторних робіт.....	6
1.2 Зміст та оформлення лабораторних робіт.....	6
2.ЛАБОРАТОРНА РОБОТА	7
СПИСОК ЛІТЕРАТУРИ	17

ВСТУП

Дисципліна «Комп'ютерна схемотехніка» є нормативною дисципліною підготовки фахівців рівня бакалавр з напрямку 050102 «Комп'ютерна інженерія» і призначена для вивчення принципів побудови типових вузлів, блоків, пристроїв та машин; способів оцінки їх якості; методів їх проектування; структур комп'ютера та комп'ютерних систем. Дисципліна вивчається на третьому курсі, тому вважається, що студенти вже засвоїли курси «Прикладна теорія цифрових автоматів» та «Комп'ютерна електроніка».

Цикл лабораторних робіт складається з семи робіт. Метою проведення циклу лабораторних робіт є придбання студентами практичних навиків проектування типових вузлів, блоків, пристроїв та обчислювачів на великих інтегральних схемах, що програмуються за потребами споживачів, та визначення їх характеристик. Проектування обчислювальних вузлів здійснюється із використанням засобів моделювання HDL (Verilog/VHDL) для ПЛІС. В наш час ПЛІС є елементною базою масового застосування для розробки та налагодження цифрових систем, тому такі лабораторні роботи відповідають сучасному рівню розвитку науки.

1. МЕТОДИЧНІ ВКАЗІВКИ ЩО ДО ВИКОНАННЯ ЛАБОРАТОРНИХ РОБІТ

1.1 Мета циклу лабораторних робіт

Метою проведення циклу лабораторних робіт є придбання студентами практичних навиків проектування типових вузлів, блоків, пристроїв та обчислювачів на великих інтегральних схемах, що програмуються за потребами споживачів, та визначати їх характеристики. Проектування обчислювальних вузлів здійснюється із використанням засобів моделювання HDL (Verilog/VHDL) для ПЛІС.

1.2 Зміст та оформлення лабораторних робіт

Протокол виконання кожної лабораторно роботи включає:

- титульний лист;
- завдання на лабораторну роботу;
- проектування заданого варіанту пристрою із використанням засобів моделювання для ПЛІС;
- висновки.

Лабораторна робота

Система проектування MAX+ plus II

Основні поняття

Сучасна елементна база передбачає використання нових технологій проектування і сучасних засобів проектування та моделювання різних систем обчислювальної техніки.

Проектування цифрових пристроїв на базі надвеликих мікросхем програмованої логіки здійснюється за допомогою систем автоматизованого проектування (САПР). Для вирішення багатьох завдань часто використовуються САПР соф. ALTERA:

- MAX + plus II — САПР, що підтримує роботу головним чином з CPLD – складними програмованими логічними пристроями, такими як ALTERA MAX II CPLD або MAX3000, MAX7000 [1];
- Quartus II — САПР, що підтримує роботу із всіма типами CPLD та FPGA – програмованими вентильними матрицями або ПЛІС (програмованими логічними інтегральними схемами) масового застосування в багатьох додатках, головними чином при проектуванні і моделюванні складних систем, включаючи вбудовані паралельні процесори та перевірку проектів складних систем для подальшого їх втілення [1 – 4]. До таких FPGA відносяться ALTERA Cyclone, Arria, Stratix [2]. САПР Quartus II також забезпечує доступ до всіх ресурсів ПЛІС, що дає можливість проводити наскрізне проектування апаратно – програмних систем [2, 4].

Для ознайомлення із можливостями сучасних засобів проектування та моделювання на початковому етапі слід вибрати САПР ALTERA MAX + plus II [1, 3]. Це зумовлено відносною простотою підготовки проекту у графічному вигляді. Повний цикл проектування можливий без оволодіння мовами опису апаратури: AHDL, VHDL, Verilog HDL та будь-якої спеціальної підготовки, крім початкових знань для розробки цифрових логічних пристроїв та основ теорії цифрових автоматів. Проте, по мірі підвищення складності проектів, виконання графічного введення та компіляції дедалі стає громіздким та мало ефективним процесом, тому неминуче застосування мови опису апаратури призведе до більш прийнятної та оптимальної способу підготовки, симуляції та перевірки проектів будь-якої складності. Але, використання графічного введення схем дає більшу уявність для структурного моделювання, що значно простіше та природніше, ніж формалізована абстрактна форма уявлення. В багатьох випадках припустимо вміст графічних об'єктів описувати на апаратних мовах програмування: VHDL/Verilog, SystemC і таким чином готувати проекти у комбінованій формі.

Назва системи MAX + plus II є аббревіатурою від Multiple Array matriX Programmable Logic User System (Призначена для користувача система для програмування логічних множин матричних структур). Система MAX + plus II розроблена фірмою Altera і забезпечує створення проектів, які легко пристосовуються до конкретних вимог користувача. Система MAX + plus II має засоби зручного ведення проекту, швидкого аналізу, як логіки, так і часових параметрів, безпосереднього програмування пристроїв.

Існує можливість опису, або початкового завдання проекту:

- у вигляді файлу на мові опису апаратури, що створюється зовнішнім редактором або текстовим редактором MAX+plus2;
- у вигляді електронної схеми, створеної графічним редактором Graphic Editor;

- у вигляді електронної схеми часової діаграми, створеної редактором Waveform Editor.

Для роботи із складними ієрархічними проектами із кожної частини схеми може бути створений символ, редагування якого виконується в графічному редакторі. Під проектом розуміється сукупність ієрархічно пов'язаних файлів проекту. Такі команди, як відкриття файлів, введення призначень пристроїв, виводів (контактів) і логічних елементів, компіляція проекту – схожі для багатьох редакторів. Різні редактори при розробці проекту дозволяють виконувати схожі завдання (наприклад пошук символу) схожими засобами. Можна легко комбінувати різні типи файлів проекту в ієрархічному проекті, обираючи для кожного функціонального блоку той формат, який найбільше підходить.

Процедура розробки нового проекту виглядає таким чином:

- створення нового файлу проекту або ієрархічної структури декількох файлів проекту з використанням редакторів розробки проекту в системі MAX + plus II;
- завдання імені файлу проекту, що є також ім'ям проекту;
- призначення типу ПЛІС для реалізації проекту (користувач може сам призначити конкретний пристрій або запропонувати це компілятору для оцінки ресурсів);
- відкриття вікна компілятора (Compiler) і його запуск натисненням кнопки Start для початку компіляції проекту;
- у разі вдалої компіляції проекту є можливість виконання його тестування і часового аналізу, для проведення якого необхідно: а) відкрити вікно Timing Analyzer, вибрати режим аналізу і натиснути кнопку Start; б) для початку тестування треба створити тестовий вектор у форматі каналу тестування (.scf), користуючись сигнальним редактором, або у форматі вектору (.vec) користуючись текстовим редактором, а потім відкрити вікно Симулятора і натиснути кнопку Start;
- перевірка роботи пристроїв ПЛІС (FPGA) та CPLD у системі на друкованій платі проводиться після вдалого тестування – шляхом завантаження конфігурації через стандартний 4-контактний JTAG-порт; система створює конфігураційну послідовність, що завантажується у пристрій за допомогою підключеного до нього кабелю (ALTERA ByteBlaster, BitBlaster, або MasterBlaster) [3-5];
- програмування ПЛІС виконується шляхом запуску модуля програматора (Programmer) з подальшим розташуванням пристрою ПЛІС із FLASH-технологією в програмуючому адаптері програматора.

Введення проекту в системі MAX + plus II

Після запуску системи MAX + plus II автоматично відкривається її головне меню, яке охоплює усі прикладні програми цієї системи. У верхній частині вікна відображається ім'я проекту і поточного файлу проекту. Потім відображений рядок меню, а під ним панель основних інструментів системи, що забезпечує швидкий виклик її компонентів. Виклик компонентів системи зручно проводити через вікно меню MAX + plus II, представленого на рис.1 [1-3, 5]. У таблиці.1. приведені функції які відповідають пунктам меню Max+plus2, а також описується їх призначення.



Рис. 1 - Меню MAX + plus II

Таблиця 1- Панель команд системи MAX + plus II

Команда	Функція
1	2
Hierarchy Display	Показ ієрархії – відображає поточну ієрархічну структуру файлів у вигляді дерева з гілками, що є окремими файлами проекту. Можна візуально визначити, чи є файл проекту схемним, текстовим або сигнальним, які файли відкриті в даний момент, які допоміжні файли в проекті доступні користувачеві для редагування.
Graphic Editor	Графічний редактор - дозволяє розробляти схемний логічний дизайн у форматі реального відображення на екрані монітора, застосовуючи розроблені фірмою Altera і власні: примітиви, мегафункції і макрофункції як основні блоки розробки.
Symbol Editor	Символьний редактор - дозволяє редагувати існуючі символи і створювати нові.
Text Editor	Текстовий редактор - дозволяє створювати і редагувати текстові файли проекту, складену на мовах AHDL, VHDL і Verilog HDL опису апаратури. Крім того, в цьому редакторі можна створювати, переглядати і редагувати інші файли формату ASCII, які використовуються іншими редакторами системи MAX + plus II. Можна створювати файли на мовах HDL і в інших текстових редакторах, проте текстовий редактор системи MAX + plus II дає переваги у вигляді контекстної довідки, виділяє кольором синтаксичні конструкції і готові шаблони мов AHDL, VHDL і Verilog HDL.
Waveform Editor	Сигнальний редактор - виконує подвійну функцію: інструмент для розробки дизайну і інструмент для введення тестових сигналів і спостереження результатів тестування.
Floorplan Editor	Порівневий планувальник - дозволяє графічними засобами редагувати розташування виводів на кресленні корпусу пристрою і призначати сигнали окремим логічним елементам на детальнішій схемі логічної структури (LAB view). Дозволяє оглядати результати останньої компіляції.
Compiler	Компілятор - обробляє логічні проекти, розроблені для сімейств пристроїв Altera Classic, MAX 5000, MAX 7000, MAX 9000, FLEX 6000, FLEX 8000 і FLEX 10K. Більшість завдань виконуються автоматично. Проте користувач може керувати процесом компіляції повністю або частково.
Programmer	Програматор - дозволяє програмувати, конфігурувати, проводити верифікацію і випробувати пристрої фірми Altera.
Simulator	Симулятор - дозволяє тестувати логічні операції і внутрішню синхронізацію спроектованої логічної схеми. Можливі три режими тестування : функціональне, часове і тестування декількох сполучених між собою пристроїв.
Timing Analyzer	Аналізатор часових параметрів - аналізує роботу логічної схеми, що має проектуватися після того, як вона була синтезована і оптимізована компілятором. Дозволяє оцінити затримки, що виникають в схемі.
Message Processor	Генератор повідомлень - видає на екран повідомлення про помилки, що дозволяє користувачеві автоматично знайти джерело повідомлення в початковому або допоміжному файлі (файлах) проекту і в порівневому планувальнику.

Програмне забезпечення системи містить одинадцять прикладних програм і головну оболонку, що управляє системою. Різні додаткові програми, що створюють файли проекту, можуть бути активізовані шляхом вибору відповідного пункту меню і натисненням лівої кнопки миші.

Файл проекту – це графічний, текстовий або сигнальний файл, створений за допомогою відповідного редактору системи MAX + plus II. Проект складається з усіх файлів ієрархічної структури дизайну. Тому кожен новий проект бажано починати в новому підкаталозі з відповідною назвою. Схемні файли проекту створюються в графічному редакторі. Можна також відкрити, відредагувати і зберегти схеми, створені схемним редактором OrCAD.

Допоміжні файли – це файли, що пов'язані з проектом MAX + plus II, але не є частиною ієрархічного дерева проекту. Більшість таких файлів не містять логіки дизайну. Деякі з них створюються автоматично додаванням системи MAX + plus II, інші – користувачем. Прикладами допоміжних файлів є файли призначень і конфігурації (.acf), символні файли (.sym), файли звіту (.rpt) і файли тестових векторів (.vec). Проект складається з усіх файлів ієрархічної структури дизайну, у тому числі допоміжних і початкових файлів. Ім'ям проекту є ім'я файлу верхнього рівня без розширення.

Робота в графічному редакторі

При виборі пункту **New** з'являється вікно (рис.2), в якому пропонується вибрати редактор, де буде створений головний файл проекту. При виборі одного з пунктів і натисненні кнопки **OK** запускається відповідний редактор. Слід вибрати **Graphic Editor File**. Інші пункти меню **File** мають те саме призначення, що і в багатьох програмах Windows. Це відкриття вже існуючого файлу проекту (**Open**), збереження створюваного (**Save, Save as**), інформація про файл (**Info**), його розмір (**Size**), а також вихід з системи MAX + plus II (**Exit MAX + plus II**).

В меню **Edit** містяться команди копіювання (**Copy**), вирізування (**Cut**), вставки (**Paste**), знищення (**Delete**) елементів схеми, відміни останньої дії (**Undo**). Крім того команди **Flip Vertical, Flip Horizontal, Rotate**, дозволяють обертати елементи схеми, та відображати їх у зворотному вигляді, що спрощує побудову логічної схеми. У меню **View** містяться команди по управлінню відображенням схеми : на увесь екран, збільшення масштабу, зменшення масштабу, нормальний розмір і максимальний.

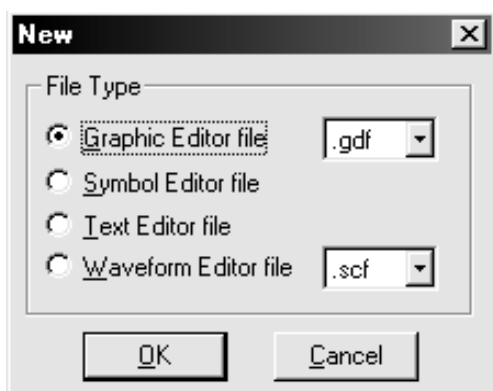


Рис. 2 - Діалогове вікно New

В меню **Symbol** (рис.3) містяться наступні команди:

- **Enter Symbol** – відкриває вікно вибору елемента, який необхідно ввести в схему (див. рис. 4);

- **Edit Ports/Parameters** - відкриває вікно призначення виводів (контактів) елементів, відповідних на корпусі мікросхеми;

- **Update Symbol** – відновлення символу у

схемі.

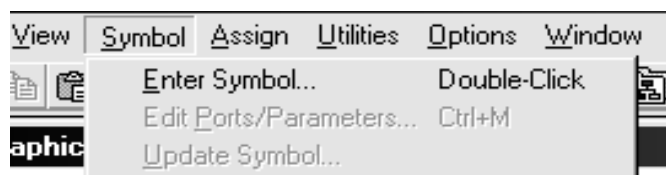
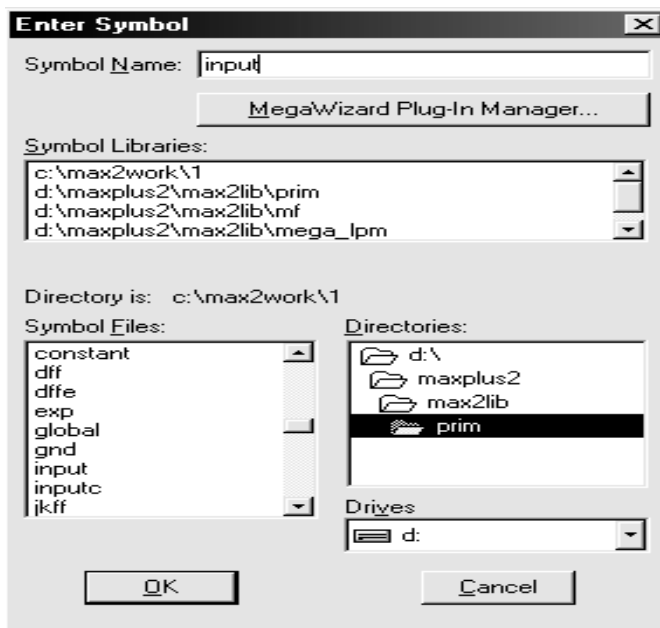


Рис. 3 - Команди меню Symbol
Панель вводу символів відкривається також правою кнопкою миші у межах графічного редактору.

Рис. 4 - Діалогове вікно Enter Symbol



Елементи або символи знаходяться в підкаталозі бібліотек **\MaxPlus2\maxplus2\max2lib\prim** - основні логічні елементи, тригери, **\max2lib\mf** - базові часто використовувані компоненти (мікросхеми) логіки Texas Instruments (серії 74xx) і додаткові багато-входові логічні елементи і схеми.

Після введення в схему проекту елементів слід виконати їх компонування і необхідні з'єднання. Для цього треба користуватися інструментами з основної панелі інструментів, вигляд якої показано на рис.5.

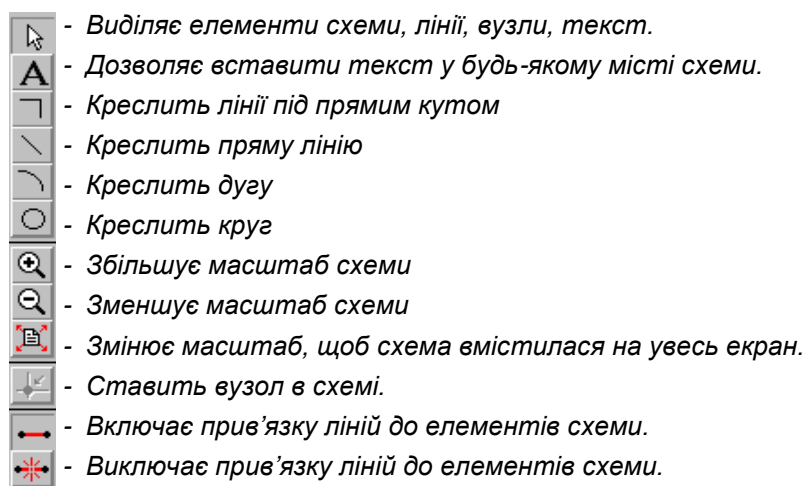


Рис. 5 – Основна панель інструментів

Користуючись інформацією з рис. 2-5 ви можете створити в графічному редакторі схемний файл свого проекту. Проекти в системі MAX + plus II прийнято зберігати в підкаталозі max2work.

З метою заощадження часу, введіть в графічний редактор з підкаталогу max2work проект Str. Цей проект є прикладом проектування ISTR20 з вашого навчального посібника по проектуванню мікропроцесорних пристроїв на ПЛІС (див. стор. 118 - 123 посібника).

Компіляція проекту

За допомогою команд з меню **Assign** є можливість вводити, редагувати і знищувати типи призначень ресурсів, приладів і параметрів, які управляють компіляцією проекту. Вигляд меню приведено на рис. 6.



Рис. 6 - Меню Assign

Команда **Device** - вибір пристрою. Призначає тип ПЛІС, в якому буде реалізовано проект. Якщо проект складається з декількох пристроїв, ця функція призначає ІС конкретним проектам. Можна також обирати опцію **AUTO**. Тоді компілятор сам вибере пристрій з цього типу. Взагалі, перед розробкою схеми слід обрати тип ІС, за допомогою якої буде реалізовано поставлене завдання.

Pin/Location/Chip - призначає вхід або вихід логічної функції конкретному контакту з вертикального або горизонтального ряду.

В поле **Node Name** вводиться назва контакту. Назва повинна відповідати назві одного з контактів на схемі. Назви не повинні співпадати. Інакше компілятор видасть помилку. У полі **Chip Name** вводиться назва чипа. Часто назва чипа співпадає з назвою головного файлу проекту. У полі **Pin** слід ввести номер виводу на мікросхемі. Не можна двом виводам в схемі призначати однакові виводи на мікросхемі. У поле **Pin Type** вводиться призначення виводу: вхід (input), вихід (output), двонаправлений (bidir) або невизначений. Уважно стежите за призначенням типу виводу. Не можна призначати виводам, на які подається вхідний сигнал, тип output - може вийти з ладу ІС.

У полі **Existing Pin/Location/Chip Assignments** можна побачити виводи схеми, яким вже призначені виводи на ІС. У полях **Row** і **Column** вказується в якому рядку або колонці відповідно мають бути виводи на ІС. Якщо не вказані параметри, то компілятор сам призначить виводам ІС відповідні виводи схеми з розрахунку найменшого обсягу витрат ресурсів і максимально можливої швидкодії (мінімальних часових затримок) ІС.

Коли схема завершена і виводам на схемі призначені виводи на пристрої, можна компілювати проект. Для цього з меню **File -> Project** слід вибрати команду **Save & Compile**. Можна перевірити схему на помилки. Для цього обирається команда **Save & Check**, або натискається відповідна кнопка на панелі інструментів. При вдалій компіляції з'явиться повідомлення (рис. 7).

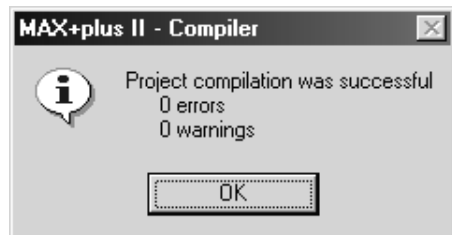


Рис. 7 – Повідомлення про вдалу компіляцію проекту

Якщо проти **errors** не стоятиме 0, то це означає, що в схемі є помилки, які для успішної компіляції проекту треба виправити. Виявити помилки допоможе

Message Processor, вікно якого можна відкрити вибором цієї команди з меню MAX + plus II. Вікно компілятора зображене на рис.8.

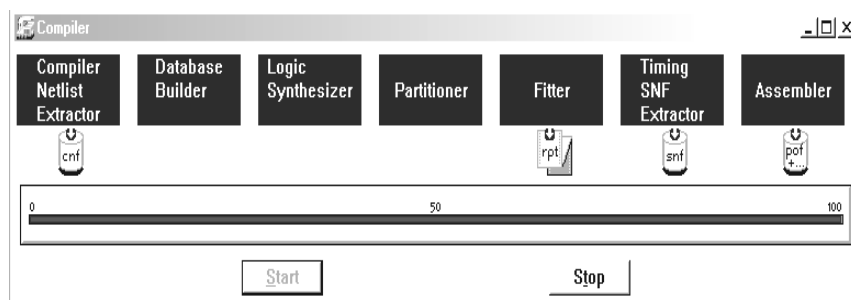


Рис. 8 - Вікно компілятора

Прямокутники зверху вказують, яка саме дія виконується у даний момент, тобто компілятор обробляє проект, використовуючи наступні модулі: Compiler Netlist Extractor - (екстрактор форматів), що включає вбудовані програми читання списків зв'язків та форматів EDIF, VHDL, Verilog, XNF; Database Builder – побудування бази даних; Logic Synthesizer – логічний синтезатор; Partitioner – розділювач; Fitter – збирач-трасувальник; Timing SNF Extractor – екстрактор для тестування часових параметрів; Assembler – асемблер.

Нижче вказані розширення файлів, які створюються в каталозі проекту. Індикатор внизу вікна показує процент завершення (проходу) компіляції (до 100%). Зупинити компіляцію у будь-який момент часу можна натисненням кнопки **Stop**.

Після виконання компіляції проекту відкрийте вікно **Floorplan Editor**, натиснувши відповідну кнопку на панелі команд (таблиця 1) або вибравши відповідну команду з меню MAX + plus II (рис.1).

Для перемикання вигляду ІС слід двічі натиснути ліву кнопку миші на ній.

Чорним кольором відбиваються виводи (контакти), використовувати які користувачеві не дозволяється. Вони призначені для живлення ІС, а також для її програмування. Ліворуч розміщені інструменти зміни масштабу. Вони працюють аналогічно інструментам інших редакторів системи MAX + plus II. Білим кольором позначені виводи (контакти), які не мають призначень. Червоним - виводи, для яких не вдалося виконати призначення. У полі **Chip Name** вибирається тип мікросхеми. Ця дія виконується при необхідності розбиття проекту на частини. Під час компіляції створюється файл, в якому міститься інформація про компіляцію. Це текстовий файл, який має розширення .rpt. Щоб його відкрити, в меню **File** треба вибрати команду **Open**.

Аналіз часових затримок

Проаналізувати часові затримки можна за допомогою сигнального редактора, симулятора і часового аналізатора, вікна яких можна відкрити, вибравши з меню MAX + plus II (рис.1) відповідний пункт. Спочатку розглянемо роботу в сигнальному редакторі.

У Сигнальному редакторі (**Waveform Editor**) задаються і досліджуються часові співвідношення. Сигнальний редактор виконує дві ролі: він є інструментом введення логіки за допомогою часових діаграм і аналізу результатів тестування. Користувач може створювати сигнальні файли проекту (.wdf), які містять логіку для проекту, а також файли каналів тестування (.scf), які містять вхідні вектори для тестування і функціонального налагодження. Новий файл можна створити командою **New** меню **File**, але спочатку треба **відкрити сигнальний редактор (Waveform Editor)**. Для цього з меню **MAX + plus II** треба вибрати пункт **Waveform Editor** (рис.1).

Сигнальний редактор має наступні можливості:

- можна створити або відредагувати вузол схеми, який має вхідний або вихідний контакт;
- можна копіювати, вставляти, переміщати і знищувати вибрану частину форми сигналу або всю форму;
- є можливість відображати на екрані сітку, вводити коментарі, змінювати масштаб відображення.

Запустивши систему MAX + plus II і відкривши сигнальний редактор, треба записати файл, що проектується на диск. Для цього в діалоговому вікні збереження файлу (**File -> Save As**) слід встановити розширення .wdf.

Для введення назви виводу схеми треба двічі натиснути ліву кнопку миші, заздалегідь встановивши курсор в полі **Name** або в меню **Node** вибрати команду **Insert Node**. З'явиться вікно, показане на рис.9.

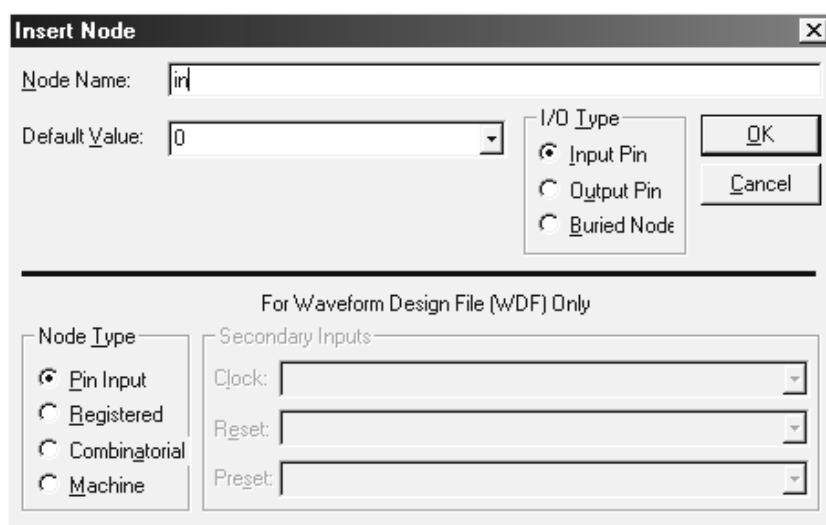


Рис. 9 - Діалогове вікно Insert Node

У полі **Node Name** слід ввести назву виводу, а в **I/O Type** вказати його тип. Після цього натиснути кнопку ОК. У полі **Default Value** вказується початкове значення сигналу на цьому виводі. Подібну процедуру слід провести для усіх вхідних і

вихідних виводів аналізованого вузла логічної схеми.

Тепер треба **ввести** часові діаграми. Для цього в сигнальному редакторі, треба **виконати** наступне: **натиснути ліву кнопку миші проти виводу 'in'** і між значеннями часу 100ns і 200ns (**утримуючи її**) **перемістити курсор вправо**. З'явиться чорний прямокутник, що свідчить про виділення цього проміжку. Для виділення більшого проміжку часу слід **натиснути ліву кнопку миші, і не відпускаючи її протягнути курсор по необхідній зоні**.

Ліворуч екрану активізується панель інструментів, на якій розташовані наступні кнопки: збільшення масштабу зображення часової діаграми; зменшення масштабу зображення часової діаграми; зміна масштабу; встановлення рівня логічного нуля; встановлення рівня логічної одиниці; невизначене значення; рівня високого імпедансу; інверсія сигналу; послідовність імпульсів 0-1-0-1-0-1-0-1-0-1-0-1-.; задає вільну послідовність імпульсів (наприклад 0-1-1-0-1-1-0-1-1-0-1-.).

Коли область має виділення треба натиснути на кнопку «Установка рівня логічної одиниці». Таку ж саму процедуру треба повторити для усіх інших виводів 'in' і 'out', виділивши відповідну область. Можна призначити виводам на схемі відповідні виводи безпосередньо на IC. Для цього в меню **Assign** треба вибрати команду **Pin/Location/Chip**.

Також **необхідно задати часовий діапазон**. Для цього в меню **File** слід вибрати команду **End Time**. З'явиться вікно, показане на рис.10.

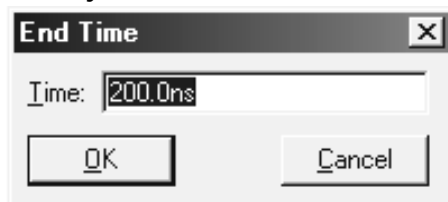


Рис. 10 - Діалогове вікно End Time

В полі **End Time** слід вказати граничний інтервал часу, впродовж якого вам вдалося описати роботу схеми часовими діаграмами в сигнальному редакторі.

В меню **View** є команда **Time Range**. Вона дозволяє задавати проміжок часу, який відображатиметься на екрані монітора. Якщо все це виконано, можна компілювати проект. Для цього слід одночасно натиснути кнопки **Ctrl** і **L**. У разі вдалої компіляції проекту з'явиться стандартне повідомлення.

Таким чином, виконавши вищеописану процедуру роботи з сигнальним редактором, можна отримати результат компіляції подібний до результату, отриманого при використанні графічного редактора.

Для верифікації проекту (рис.11) використовуються три застосування: симулятор (**Simulator**), аналізатор часових параметрів (**Timing Analyzer**) і сигнальний редактор (**Waveform Editor**).

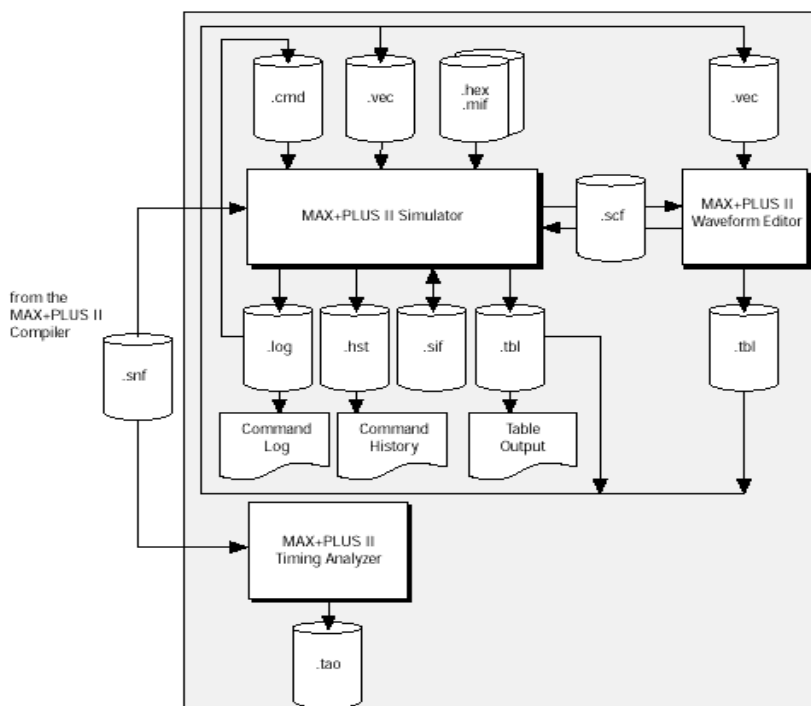


Рис. 11 - Верифікація проекту в системі MAX + plus II

Відкомпілювавши схему, спроектовану в графічному редакторі, **відкриємо вікно симулятора, вибравши команду Simulator з головного меню системи.**

Вікно симулятора показано на рис.12. **Встановлюємо відмітки Setup/Hold і Oscillation.** У полі **Oscillation** вводимо значення, яке раніше було встановлено в полі **End Time**. Після **натиснення кнопки Start**, симулятор проаналізує логіку схеми. Після закінчення аналізу, **натиснувши на кнопку «Open SCF»**, на екрані монітора побачимо отримані часові діаграми роботи схеми.

На цій діаграмі легко побачити часові затримки, що виникають в схемі. Встановивши повзунок синього кольору на фронті або спаді сигналу шляхом переміщення сірого квадрату при натиснутій лівій кнопці миші, а курсор на фронті або спаді початкового сигналу, в полі **Interval** побачимо значення затримки.

Симулятор MAX + plus II - це потужний інструмент для аналізу часових затримок проекту і перевірки його на предмет відповідності виконуваної ним логічної функції.

Симулятор дозволяє перевірити проект перед його реалізацією в кремнії. За допомогою симулятора можливо здійснювати аналіз часових затримок із значеннями до 0.1 ns.

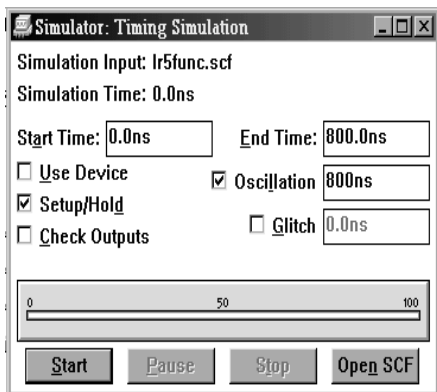


Рис. 12 - Діалогове вікно симулятора

За допомогою редактора **Timing Analyzer** дуже легко побачити усі часові параметри схеми. Редактор **Timing Analyzer** викликається шляхом вибору відповідної команди з головного меню системи. Після натиснення кнопки “**Start**” у вікні **Timing Analyzer**, на екрані монітора побачимо таблицю, що містить часові параметри схеми.

Проаналізуйте отримані часові параметри схеми і визначите максимально-можливу частоту синхронізації CLOCK f_{max} , при якій схема залишається ще працездатною.

СПИСОК ЛІТЕРАТУРИ

1. ALTERA® MAX + Plus II® Programmable Logic Development System Getting Started, Ver. 8.1, Altera Corp., 1997,
http://www.altera.com/literature/manual/archives/81_gs.pdf
2. <http://www.altera.com/literature/lit-index.html>,
Welcome to the Quartus II Software
<http://quartushelp.altera.com/current/>
3. В. Б. Стешенко. ПЛИС фирмы ALTERA: элементная база, система проектирования и языки описания аппаратуры, 3-е изд. М., Издательский дом "Додэка-XXI", 2007. – 576с.
4. Д. А. Комолов, Р. А. Мьяльк, А. А. Зобенко, А.С. Филиппов. Системы автоматизированного проектирования фирмы Altera MAX+plus II и Quartus II, М., РадиоСофт, 2002. -352 с.
5. Клайв Максфилд. Проектирование на ПЛИС. Архитектура, средства и методы. Курс молодого бойца. – М.: Издательский дом "Додэка-XXI", 2007.- 407с.
6. Рябенкий В. М., Ушкаренко О.О. MAX+plus II. Основы проектування цифрових пристроїв на ПЛІС. К.: Корнейчук, 2004.- 253 с.